

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The SOI wafer which is a lamination SOI wafer which has a surface activity layer on an oxide-film insulator layer, and is characterized by a minute defect not existing in this surface activity layer substantially, without having an adhesion side between this surface activity layer and this oxide-film insulator layer.

[Claim 2] The SOI wafer according to claim 1 which this minute defect density does not increase from the front face of this surface activity layer to the interior in a direction although a minute defect exists in said surface activity layer slightly.

[Claim 3] In the SOI wafer which is constituted by a surface activity layer, an oxide-film layer, an adhesion side, and the substrate wafer, and has a surface activity layer on an oxide-film insulator layer Grind at least one side of the silicon wafer substrate of 1 in the shape of a mirror plane, and it makes with the mirror plane surface section. After heating and carrying out gas annealing treatment to 1100 degrees C or more in hydrogen and/or an inert gas ambient atmosphere, the oxide film on this mirror plane surface section oxidized and formed -- the mirror-polishing surface section of other silicon wafers -- piling up -- heating -- lamination processing -- carrying out -- after that -- this -- the manufacture approach of the SOI wafer characterized by carrying out grinding of the non-grinding surface section side of the silicon wafer substrate of 1.

[Claim 4] both sides of said silicon wafer substrate of 1 -- the shape of a mirror plane -- grinding -- said gas annealing treatment and after oxidizing and forming an oxide film on both the mirror plane surface section -- this -- the manufacture approach of a SOI wafer according to claim 3 of dividing into two and using the silicon wafer substrate of 1 so that it may have an oxide film on each one side surface section.

[Claim 5] The manufacture approach of the SOI wafer according to claim 4 bisected to both sides in which said oxide film was formed after piling up and heating the mirror-polishing surface section of other silicon wafers and carrying out lamination processing.

[Claim 6] The manufacture approach of the SOI wafer according to claim 3 or 4 which carries out the temperature up of from 800 degrees C which results in the heating temperature of said gas annealing treatment to the 1000 degrees C by part for part [for programming-rate/of 5 degrees C -], and 30-degree-C/.

[Translation done.]

BEST AVAILABLE COPY

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] In the SOI wafer which has a surface activity layer on the oxide-film insulator layer which manufactures this invention by the lamination SOI method in detail about a SOI wafer and its manufacture approach, the surface activity layer is related with homogeneity, the SOI wafer with which it is flat with a wafer and a minute defect (it is called BMD) also has few outstanding properties, and its manufacture approach, without a surface activity layer and an oxide film having an adhesion side.

[0002]

[Description of the Prior Art] The silicon wafer in which the thin film silicon single crystal was formed on insulators, such as an insulating layer and an insulator layer SOI (Silicon on Insulator) It is called. From separation between components, reduction of parasitic capacitance, etc. being easy, and device formation of the three-dimensional structure being attained ** Since it has desirable possibility, such as rapidity, ** low battery, a low power, ** radiation resistance, ** detailed-ized capacity, and ** process simplification, it is observed as a next-generation semiconductor, and the SOI manufacturing technology which forms the barrier layer of thin film-like silicon on an insulator substrate is studied widely globally. As a silicon oxide film insulator, it is homogeneous, and there is no pinhole, and it is uniform, the thin layer with high withstand voltage is demanded [it is the description of the silicon oxide film insulator of a substrate, and the thin film silicon single crystal on it which determines the engine performance of SOI, and the surface silicon barrier layer of a single crystal is a thin film with a thickness of 1-0.1 micrometers, and it is necessary overly to consider as a flat side, and], and it is **. Thus, even if both sides double, the thickness of at most about 1 micrometer is required, generally it is thought that the surface silicon barrier layer and silicon oxide film thin layer of SOI have a 0.2-0.3-micrometer ideal super-thin layer condition, and the still thinner SOI layer as an object for VLSIs is required.

[0003] The stratum functionale which consists of the surface silicon barrier layers and silicon oxide film thin layers of a SOI wafer as described above is a thin layer very much, and the structure of making both layers forming on a silicon substrate is usually adopted using the conventional silicon wafer as a substrate which supports these thin layers. For example, drawing 2 is the explanatory view having shown the fundamental structure of a SOI wafer. In drawing 2 , the SOI wafer 20 has structure which puts the silicon oxide film thin layer 23 of high quality from a front flesh side by the surface silicon barrier layer 25 and the silicon substrate 21, and in manufacture of a SOI wafer, many techniques for making the silicon oxide film thin layer 23 form in the middle of the surface silicon barrier layer 25 and a silicon substrate 21 are studied, and it is developed. The present condition is that the minute defect 26 which drew many SOI wafers by which the current prototype is carried out as a drawing bullet point exists also in a barrier layer 25. Manufacture of these SOI wafer is globally studied from the two directions of the SIMOX (Silicon Implanted Oxidation) technique of the adhesion lamination method which carries out lamination adhesion of the (1) wafer from a practical standpoint in this time, and the (2) pouring-in method. An adhesion lamination technique is the approach of carrying out lamination adhesion of the polished surface of the oxide film which formed in predetermined thickness two wafers

ground in the shape of a mirror plane with high precision in the polished surface of the wafer (it expresses the wafer for base materials hereafter) which is lamination ***** and serves as one base material, and a wafer (it expresses the wafer for barrier layers hereafter) including the field used as the surface activity layer of another side, unifying, and forming an oxide-film thin layer in the middle. In this approach, in order to process a silicon surface activity layer into predetermined thickness, a highly precise mechanical-polishing method and the highly precise plasma-etching method, or the approach which combined them is put in practical use. On the other hand, a SIMOX technique is the approach of making an oxide-film thin layer forming in the middle of the predetermined depth from the ground surface activity layer, by heat-treating and oxidizing the silicon for oxygen ion notes admission into a club, after pouring oxygen ion into the ground wafer.

[0004]

[Problem(s) to be Solved by the Invention] Although excelled in the point which becomes uniform [the SIMOX method / oxide-film thin layer thickness], there are many crystal defects and amelioration of membraneous quality is required. On the other hand, a lamination method has the industrial highest possibility of utilization, if the SOI wafer which could obtain by comparatively simple actuation and was excellent in the property can be manufactured. The SOI wafer which artificers are proposed from the former about the SOI wafer obtained by the describing [above] adhesion lamination method, and is manufactured As described above, in a barrier layer, BMD exists and the description demanded from small but it not being what is still satisfied fully Research was advanced for the purpose of obtaining the SOI wafer of the property which has a thinner more flat surface silicon barrier layer and an oxide-film layer there are few defects and homogeneous [defects] and ultra-thin, and was excellent in uniform thickness. Therefore, a conventional adhesion lamination method process and its conventional direction of ED were re-evaluated in the detail.

[0005] Consequently, the conventional method which manufactures the adhesion-separate to two wafers surface section, i.e., DZ layer surface section of wafer for barrier layers, and the oxidation thin film surface section formed in wafer for base materials lamination SOI wafer based on adhesion lamination ***** is received. In view of Prior-art development being performed amelioration of each description of DZ layer chiefly formed in each wafer, and an oxidation thin film, and for the purpose of how the adhesion side formed between DZ layer and an oxidation thin film is made into homogeneity, the conventional way of thinking was converted and it decided to develop from a different direction. Namely, in this invention, convert the conventional fundamental gestalt and conversion of the way of thinking of making DZ layer and an oxidation thin film form in the one wafer surface section is aimed at. By carrying out gas annealing treatment of the wafer for barrier layers, carrying out defect-free stratification, oxidizing it further, as a result of inquiring wholeheartedly from the viewpoint, and forming a silicon barrier layer and an insulator layer on the same silicon wafer A header and this invention were completed for the ability of the SOI wafer of the extremely excellent property to be obtained. This invention is the technique proposed for the first time by artificers.

[0006]

[Means for Solving the Problem] According to this invention, it is the lamination SOI wafer which has a surface activity layer on an oxide-film insulator layer, and the SOI wafer characterized by a minute defect not existing in this surface activity layer substantially is offered, without having an adhesion side between this surface activity layer and this oxide-film insulator layer. Although a minute defect does not exist substantially in the SOI wafer of this invention, even when a minute defect exists in a surface activity layer slightly, the minute defect density does not increase from the front face of this surface activity layer to the interior in a direction. Since the SOI wafer of this invention is formed without being constituted as mentioned above and an oxide-film insulator layer and a surface activity layer having an adhesion side and it will be in the uniform condition that an opening etc. is not generated in the interface of a barrier layer and an oxide-film insulator layer, and there is no dispersion, the thickness of a barrier layer is equalized remarkably and it can have the property which was excellent as a SOI wafer.

[0007] Moreover, according to this invention, it sets to the SOI wafer which is constituted by a

surface activity layer, an oxide film layer, an adhesion side, and the substrate wafer, and has a surface activity layer on an oxide-film insulator layer. Grind at least one side of the silicon wafer substrate of 1 in the shape of a mirror plane, and it makes with the mirror plane surface section. After heating and carrying out gas annealing treatment to 1100 degrees C or more in hydrogen and/or an inert gas ambient atmosphere, the oxide film on this mirror plane surface section oxidized and formed -- the mirror-polishing surface section of other silicon wafers -- piling up -- heating -- lamination processing -- carrying out -- after that -- this -- the manufacture approach of the SOI wafer characterized by carrying out grinding of the non-grinding surface section side of the silicon wafer substrate of 1 is offered. It is desirable to carry out the temperature up of from 800 degrees C while resulting in the heating temperature of the above-mentioned gas annealing treatment to the 1000 degrees C by part for part [for programming-rate/of 5 degrees C -] and 30-degree-C/.

[0008] In the manufacture approach of the SOI wafer of above-mentioned this invention, since gas annealing treatment of the front face ground in the shape of [of the wafer for barrier layers] a mirror plane is heated and carried out to 1100 degrees C or more under existence of hydrogen gas and/or inert gas, while the silicon single crystal of the wafer surface section is homogenized, since it will have atomic surface smoothness, by subsequent oxidation treatment, the front face is the uniform depth, forms the homogeneous oxide film of further high pressure resistance, and can carry out the thing of it. Furthermore, since the defect-free layer of thickness sufficient as an object for SOI wafers can be formed by said gas annealing treatment, even when it is made to express by carrying out grinding of the surface activity layer from a wafer background, a defect-free barrier layer can be obtained by uniform thickness, and improvement in a SOI property is remarkable. Furthermore, the manufacture approach of the SOI wafer of this invention can manufacture the SOI wafer of the property which was excellent in comparatively simple actuation the account of a top, and the possibility of utilization becomes very high again.

[0009] the manufacture approach of the SOI wafer of above-mentioned this invention -- setting -- both sides of said silicon wafer substrate of 1 -- the shape of a mirror plane -- grinding -- said gas annealing treatment and after oxidizing and forming an oxide film on both the mirror plane surface section -- this -- it can divide into two and the silicon wafer substrate of 1 can be used so that it may have an oxide film on each one side surface section. Moreover, to both sides in which said oxide film was formed, it can also divide into two, after piling up and heating the mirror-polishing surface section of other silicon wafers and carrying out lamination processing. In addition, in this invention, as it meant or described above that minute defect density was zero mostly as a minute defect does not exist substantially, even when a minute defect exists in a surface activity layer slightly, it means that the minute defect density does not increase in the direction of the interior from the front face of a surface activity layer.

[0010]

[Embodiment of the Invention] Hereafter, this invention is explained to a detail. First, manufacture of the SOI wafer by the conventional adhesion lamination method is explained with reference to a drawing. Drawing 3 is the flow explanatory view showing the general SOI wafer manufacture process of the conventional adhesion lamination method. In drawing 3, 3A is a wafer for barrier layers which is processed into the thickness around 1 micrometer and finally serves as a silicon barrier layer which is the main function of a SOI wafer between two wafers 3A and 3B, and 3B is a wafer for support used as the base material which supports mechanically the 1-micrometer silicon activity thin layer. Wafer 3for barrier layers A and wafer 3B for support grind the front faces 31A and 31B by the side of ***** mutually, and make them the shape of a mirror plane. Surface 31A made into the shape of a mirror plane of wafer 3A for barrier layers usually forms and uses the DZ layer 32 of a defect-free layer without a defect for the surface section in many cases by carrying out heat treatment under oxygen or nitrogen-gas-atmosphere mind, i.e., the so-called DZ layer type maturation processing, in order to reduce the defect of the surface activity layer of a SOI wafer. On the other hand, the oxide-film layer 33 will be formed in surface 31B ground in the shape of [of wafer 3B for base materials] a mirror plane, and this oxide-film layer will constitute the insulator field of a SOI wafer. After processing

each front faces 31A and 31B of each wafers 3A and 3B as mentioned above, respectively, it moves to the following lamination process.

[0011] At a lamination process, after surface 31A and oxide-film layer 33 front face of the wafer for base materials in which the DZ layer 32 of the wafer for barrier layers was formed pile up, it is heat-treated and turns adhesion lamination ***** in respect of [34] adhesion. While unification wafer 3C maintains display flatness and flatness by wafer 3B for base materials and wafer 3A for barrier layers pasting up until it is the plasma-etching method etc. and becomes predetermined thickness about the field equivalent to the rear face 32 of wafer 3A for barrier layers which is the front face, grinding is carried out, and the silicon barrier layer 35 is expressed on the oxide-film layer 33. Although the grinding process which expresses this silicon barrier layer 35 requires an advanced precision, current is already in a utilization phase by advance of a plasma-etching technique. subsequently, the last -- the grinding of the edge section -- polish processing is carried out, and washing etc. finish-machines and it can consider as the SOI wafer 30. In addition, the sunspot 36 in drawing 3 expresses the minute defect (BMD). Existence of BMD36 is checked in a barrier layer 35 like drawing 2 . In the conventional describing [above] lamination method, the approach of carrying out DZ heat treatment of the SOI wafer which it turned adhesion lamination ***** , and grinding etc. processed the wafer for barrier layers and the wafer for base materials of the oxide-film stratification other than the approach using the above DZ stratification wafers which carried out DZ heat treatment as an approach of forming DZ layer in the surface activity layer field of a SOI wafer, and was manufactured is also proposed first. However, when carrying out DZ heat treatment of the SOI wafer, since the silicon of a barrier layer amorphism-izes or a slip arises, it is not desirable.

[0012] Next, the production process of the SOI wafer of this invention is explained. Drawing 1 is the manufacture flow explanatory view of the SOI wafer of this invention. This invention is explained comparing with the conventional method shown in aforementioned drawing 3 . In drawing 1 , it is the same as that of the conventional method of drawing 3 to grind at least one side and the front faces 11A and 11B by the side of ***** in the shape of a mirror plane using the silicon wafer, wafer 1 for barrier layers A and wafer 1B for support, of two sheets, respectively. However, to having carried out DZ heat treatment and having used the wafer 3A surface section for barrier layers as the defect-free field DZ layer 32, by the SOI wafer manufacturing method of this invention, gas annealing treatment of the wafer 1A for barrier layers is carried out, and the DZ layer 12 is formed with a conventional method. The gas annealing treatment of this invention is 1100 degrees C or more under inert gas ambient atmospheres, such as hydrogen gas and/or argon (Ar) gas, can be heated 30 minutes or more and can usually be performed. BMD16 of the surface section 12 of wafer 1A for barrier layers by which gas annealing treatment was carried out shown with the drawing bullet point which existed in wafer 1A of a start ingredient and 1B is lost. The DZ layers 12 and 12 which are defect-free fields are formed in the surface section of both wafer 1A. On the other hand, an oxygen density is maintained, impurities, such as a metal, deposit as an oxygen sludge, and the BMD deposit layer 17 is formed in the interior of a wafer. The heating temperature in gas annealing treatment becomes [forming / of the DZ layer 12 / inadequate] being less than 1100 degrees C and is not desirable. The DZ layer 12 formed of the above-mentioned gas annealing of this invention is homogeneous, it crosses throughout a wafer, and the depth from a front face is uniformly formed by the thickness of about 1-30 micrometers thickly enough as compared with DZ layer by the conventional DZ layer heat treatment. For this reason, an oxide film is formed in a gas annealing treatment front face so that the following may be carried out, as a SOI wafer, the barrier layer of a homogeneous defect-free layer which holds uniform thickness with high precision also in grinding can be made to be able to express from DZ layer and the opposite side, and, finally the barrier layer which has the outstanding property demanded as the above mentioned SOI wafer can be obtained. Moreover, flattening of the front face of this DZ layer should be carried out on atomic level, and the description of the oxide film formed in that front face should also be excellent.

[0013] In this invention, gas annealing treatment is carried out [above-mentioned], and an oxide film 13 is further formed in the front face of wafer 1A for barrier layers on which the DZ layer 12

of a defect-free field was formed in the surface section. An oxide film is formed into an oxygen ambient atmosphere by holding for about 0.1 to 3.0 hours, and heat-treating at the temperature of about 800–1100 degrees C, that it is the same as that of a well-known approach conventionally, and well. The wafer surface section by which gas annealing treatment was carried out as above-mentioned does not have a defect, it is formed by thickness uniform on the whole very homogeneously [it is homogeneous, and / since it is the uniform front face which has an atomic flat side / the oxide film formed in the surface section], for example, a pinhole etc. does not have the heterogeneity which existed in the oxide-film layer used for the conventional SOI wafer, and electric insulation pressure-proofing becomes 10 or more MV/cm. The thickness of an oxide film changes according to the holding time, and is usually 0.05–1.0 micrometers. Subsequently wafer 1A for barrier layers in which the oxide film 13 was formed as mentioned above carries out superposition heat-treatment of the polish mirror plane 11 of wafer 1B for base materials B the oxide-film 13 formation side, and adhesion lamination unification is carried out. It has the adhesion side 14 between the oxide-film side 13 formed in wafer 1A for barrier layers by that cause, and mirror plane 11 of wafer 1B for base materials B, and unification wafer 1C of the basic structure of the SOI wafer supported by wafer 1B for base materials is obtained. The thickness of the silicon barrier layer demanded in a SOI wafer is around 1 micrometer, and in order to consider as a predetermined barrier layer, the grinding process of formed unification wafer 1C is carried out further. Finish-machining of the grinding of the edge section of a final process, polish processing, washing, etc. can be performed in the grinding process for making these adhesion lamination processing and the processing barrier layer 15 after it express, and making the SOI wafer 10 constitute, and a list like the conventional thing.

[0014] As mentioned above, the SOI wafer of this invention is manufactured by the adhesion lamination method, forms DZ layer of a defect-free field in the wafer for barrier layers by gas annealing treatment, further, oxidizes the surface section in which the defect-free DZ layer of the wafer for barrier layers which carried out gas annealing treatment was formed, and forms an oxide film. For this reason, without an adhesion side existing between the barrier layer of a SOI wafer, and the oxide film of an insulator layer, defects, such as a cavity which is easy to generate by adhesion, a stacking fault, and a misfit rearrangement, become that there is nothing, and a SOI wafer property improves remarkably. Moreover, also in the adhesion side of an oxide film and the wafer for base materials, although the defect by adhesion is not produced since an oxide film is formed by homogeneous and uniform thickness, there is little effect which supports the oxide-film insulator layer and barrier layer in a SOI wafer even if generated, and it has on a wafer property. In the conventional adhesion lamination method, the defect-free field DZ layer by DZ layer heat treatment is formed in the wafer for barrier layers, on the other hand, an oxide film is formed in the wafer mirror plane surface section for support, and the defect such in respect of adhesion is not generated in this invention to the defect in respect of adhesion between a barrier layer and an oxide-film insulator layer not being avoided in both wafers at an adhesion ***** case as mentioned above, either. Moreover, defect-free-izing by the conventional DZ layer heat treatment has a low degree as compared with gas annealing of this invention, and it is clear that its it is that in which the barrier layer property acquired is also inferior several steps as compared with the thing of this invention in the example and the example of a comparison which carry out a postscript. Furthermore, since the description of DZ layer formed is not good when an oxide film is formed in the surface section of the conventional DZ stratification, the quality of the oxide film formed there and it being inferior to what is formed in the defect-free field layer by the gas annealing treatment of this invention, and not becoming uniform [the thickness] from it are also checked.

[0015] The above-mentioned gas annealing treatment adopted in order to make DZ layer form in the wafer for mirror plane-like activity in this invention It is the processing currently performed in order to give the gettering operation for carrying out absorption removal of the defective part of the silicon wafer itself generally. In hydrogen gas or an argon gas ambient atmosphere The oxygen density of a wafer surface falls. an elevated temperature 1100 degrees C or more -- a silicon wafer -- predetermined time amount processing, if it carries out And since impurities, such as a metal which the wafer with which the oxygen density required to form an oxygen

sludge indispensable to a getting operation in the interior of a wafer maintained is obtained, and is mixed in a device process, are captured and it fixes. It is known well that the device property of a wafer will improve remarkably, and especially the hydrogen annealing wafer is already used in large quantities as the optimal wafer for manufacture of the latest semiconductor device. Moreover, it is already checked with the withstand voltage property of the electric insulation of these oxidation thin film that the silicon oxide thin film layer formed in the front face of the wafer to which hydrogen annealing treatment was performed is also extremely excellent in homogeneity shape-wise of surface type and in internal structure excluding a local defect like a pinhole since the defect of the surface section of the wafer of a parent is removed. However, when manufacturing a SOI wafer by the adhesion lamination method, forming DZ layer in the surface section of the wafer for barrier layers and forming the DZ layer not by DZ layer heat treatment but by gas annealing treatment are applied for the first time in this invention, without being tried to current.

[0016] The following approaches are applicable although the fundamental production process by this invention is as above-mentioned. That is, it is down stream processing which may advance originally gas annealing treatment and its next oxide-film formation processing to front flesh-side coincidence using both the so-called mirror-polishing wafer that ground front flesh-side both sides of the wafer for barrier layers shown in the production process of above-mentioned drawing 1. Therefore, it can consider as two wafers which have a defect-free layer and an oxide-film layer on one side, respectively by dividing the wafer for barrier layers in which the defect-free layer and the oxide-film layer were formed to both mirror-polishing wafer each acquired side into two, along the direction of a flat surface using cutting machines, such as a high precision inner circumference cutting-edge cutting machine, in the center section of the thickness. The technique of dividing a wafer into two is a technique already put in practical use and established in the processing field of the silicon wafer for semi-conductors, and can apply them. Moreover, it can also divide into two, after pasting two respectively different wafers for base materials to both sides which have a defect-free layer and an oxide-film layer. The SOI wafer of this invention does not have the defect of BMD and others in the surface barrier layer in which a device is formed as mentioned above, and the oxide film which is an insulator has mechanical very [electrically, chemically, and] high resistance, and has the extremely excellent property. Moreover, what has large BMD in the barrier layer of the SOI wafer by this invention does not exist at all. Although the existence of BMD with a small particle size is accepted, this exists in the wafer which carried out gas annealing treatment, and, also experimentally and theoretically, it is checked from the wafer front face that the consistency becomes high toward the interior. Therefore, in order that the barrier layer of the SOI wafer of this invention may carry out grinding of the wafer which carried out gas annealing treatment in the direction of a front face from the interior and may express a barrier layer, even if BMD with a small particle size exists, the consistency will fall gradually toward the interior from the front face.

[0017]

[Example] Hereafter, this invention is explained to a detail based on an example. However, this invention is not restricted by the following example.

According to the flow of this invention shown in drawing 1, three SOI wafers were made bearing (100) and more than the resistivity cm of 20ohms, using diameter three wafers of phi of 8" of p mold as a wafer for base materials, using example 1 bearing (100), the resistivity cm of 20ohms, and diameter three wafers of phi of 8" of p mold as a wafer for barrier layers. Three wafers for barrier layers were put into the hydrogen annealing furnace, and it heat-treated in the hydrogen gas ambient atmosphere for 1150 degrees C and 1 hour. Subsequently to an oxidation furnace three wafers which ****(ed) were put in, and the 200nm oxide film was formed on the surface of the wafer. Next, crystal orientation was arranged, the oxide-film front face formed in the mirror-polishing side side of the wafer for barrier layers by the above and the mirror-polishing side of the prepared wafer for base materials were heat-treated at superposition and 1100 degrees C, and 3 sets of adhesion lamination wafers were manufactured. The wafer side for barrier layers of each adhesion lamination wafer was shaved off by the plasma ion etching method, it was processed so that a 1-micrometer silicon layer might remain on an oxide film, and the three SOI

wafer structures were obtained. Grinding of the circumference edge section of each obtained SOI wafer structure was carried out by the edge grinder, and smooth nature was prepared. Finally, it washed through the usual last soaping machine, and three SOI wafers were manufactured. The display flatness LTV (bias within 20mm angle) and TTV (maximum deflection over the virtual flat surface of a wafer) of each three obtained SOI wafers, barrier layer thickness distribution, a barrier layer BMD consistency, and oxide-film bed-depth distribution were measured using a wafer flatness measuring device, FT-IR (Fourier transform infrared spectroscopy), a BMD analyzer, nano spec., etc., respectively. Each SOI wafer was attached and the result was shown [a wafer] for 1, 2 and 3, and a number in Table 1.

[0018]

[Table 1]

		実 施 例 1		
SOI ウェハ番号		1	2	3
評 価 項 目	平坦度 (LTV (20mm ²) μ m)	0.2	0.2	0.3
	TTV (μ m)	3	3	5
	活性層厚み分布 (μ m)	1.3 \pm 0.3	1.3 \pm 0.3	1.2 \pm 0.5
	酸化膜層厚み分布 (nm)	200 \pm 5 %	200 \pm 5 %	200 \pm 5 %
	活性層BMD 密度 (\times E3)	0	0	0

[0019] It used similarly the same wafer for barrier layers as example of comparison 1 example 1, and three wafers for base materials at a time. According to the flow of the conventional method shown in drawing 3 , it put into the oxidation furnace, without processing three wafers for barrier layers at a hydrogen annealing furnace, and the SOI wafer was made like the example 1 except having formed the 200nm oxide film in the front face. The display flatness of each three obtained SOI wafers, TTV, barrier layer thickness distribution, a barrier layer BMD consistency, and oxide-film bed-depth distribution were measured like the example 1. Each SOI wafer was attached and the result was shown [a wafer] for 11, 12 and 13, and a number in Table 2.

[0020]

[Table 2]

		比較例 1		
SOI ウェハ番号		11	12	13
評価項目	平坦度 (LTV (20mm ²) μ m)	0.7	0.5	0.7
	TTV (μ m)	8	7	9
	活性層厚み分布 (μ m)	1.3 \pm 0.5	1.3 \pm 0.6	1.4 \pm 0.7
	酸化膜厚み分布 (nm)	210 \pm 5 %	210 \pm 8 %	210 \pm 8 %
	活性層 BMD 密度 (\times E3)	300	500	600

[0021] Example 2 bearing (100), the resistivity cm of 15ohms, and diameter three wafers of phi of 8" of n mold are used for the wafer for barrier layers. The wafer of phi is used for the wafer for base materials the diameter of 8" of n mold bearing (100) and more than the resistivity cm of 20ohms. According to the flow of this invention of drawing 1 , the temperature up from 800 degrees C to 1000 degrees C is performed by part for 20-15-degree-C/in hydrogen annealing treatment like an example 1. Three SOI wafers were manufactured completely like the example 1 except having carried out plasma ion etching processing so that a 300nm oxide film might be formed and a 10-micrometer silicon layer might remain on an oxide film. The display flatness of each three obtained SOI wafers, TTV, barrier layer thickness distribution, a barrier layer BMD consistency, and oxide-film bed-depth distribution were measured like the example 1. Each SOI wafer was attached and the result was shown [a wafer] for 4, 5 and 6, and a number in Table 3.

[0022]

[Table 3]

		実施例 2		
SOI ウェハ番号		4	5	6
評価項目	平坦度 (LTV (20mm ²) μ m)	0.2	0.2	0.2
	TTV (μ m)	3	4	3
	活性層厚み分布 (μ m)	10.4 \pm 0.5	10.4 \pm 0.5	10.4 \pm 0.6
	酸化膜厚み分布 (nm)	300 \pm 5 %	300 \pm 5 %	300 \pm 5 %
	活性層 BMD 密度 (\times E3)	0	0	0

[0023] It used similarly the same wafer for barrier layers as example of comparison 2 example 2, and three wafers for base materials at a time. According to the flow of the conventional method shown in drawing 3 , it put into the oxidation furnace, without processing three wafers for barrier layers at a hydrogen annealing furnace, and the SOI wafer was made like the example 2 except having formed the 300nm oxide film in the front face. The display flatness of each three obtained SOI wafers, TTV, barrier layer thickness distribution, a barrier layer BMD consistency, and oxide-film bed-depth distribution were measured like the example 2. Each SOI wafer was attached and the result was shown [a wafer] for 14, 15 and 16, and a number in Table 4.

[0024]

[Table 4]

		比較例 2		
SOI ウエハ番号		14	15	16
評価項目	平坦度 (LTV (20mm ²) μ m)	0.8	0.7	0.7
	TTV (μ m)	7	9	9
	活性層厚み分布 (μ m)	10.2 \pm 0.9	10.2 \pm 0.8	10.3 \pm 0.8
	酸化膜厚み分布 (nm)	320 \pm 8 %	320 \pm 8 %	320 \pm 8 %
	活性層 BMD 密度 (\times E3)	500	300	900

[0025] It turns out that it has the property which the SOI wafer of this invention compared with the SOI wafer obtained with the conventional method, and was superior to the above-mentioned example and the example of a comparison in display flatness, TTV, barrier layer thickness distribution, a barrier layer BMD consistency, and oxide-film bed-depth distribution. It is clear that the SOI wafer of this invention has a remarkable property in display flatness and a barrier layer BMD consistency especially.

[0026]

[Effect of the Invention] The SOI wafer of this invention does not have a defect in respect of adhesion, without an adhesion side existing between a silicon barrier layer and a silicon oxide thin film insulator layer, a thin film oxidizing zone and a minute defect with a moreover overly uniform flat side are zero mostly, and it consists of homogeneous and uniform barrier layers of a super-thin layer, has the extremely excellent description, and makes possibility of utilization high. Moreover, the manufacture approach of a SOI wafer of having excelled the account of a top is industrially useful from the ability to carry out easily and simple by aiming at conversion of the way of thinking by being able to change the fundamental mode of an adhesion lamination method and moreover applying the existing technique.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the manufacture flow explanatory view of the SOI wafer of this invention.

[Drawing 2] It is the explanatory view having shown the fundamental structure of a SOI wafer.

[Drawing 3] It is the manufacture flow explanatory view of the adhesion lamination SOI wafer of a conventional method.

[Description of Notations]

10, 20, 30 SOI wafer

21 Silicon Substrate

1A, 3A Wafer for barrier layers

1B, 3B Wafer for base materials

11A, 31A Wafer polish mirror plane for barrier layers

11B, 31B Wafer polish mirror plane for base materials

1C, 3C Unification wafer

12 32 DZ layer

13, 23, 33 Silicon oxide insulator thin film layer

14 34 Adhesion side

15, 25, 35 Surface silicon barrier layer

16, 26, 36 BMD

17 BMD Deposit Layer

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

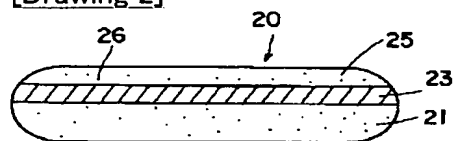
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

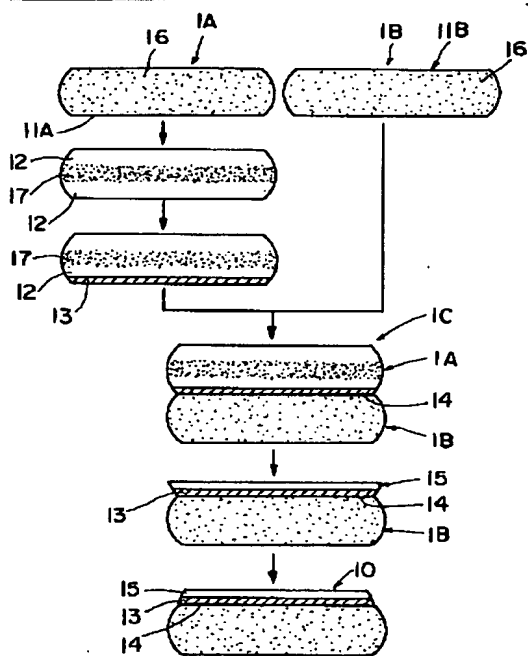
3.In the drawings, any words are not translated.

DRAWINGS

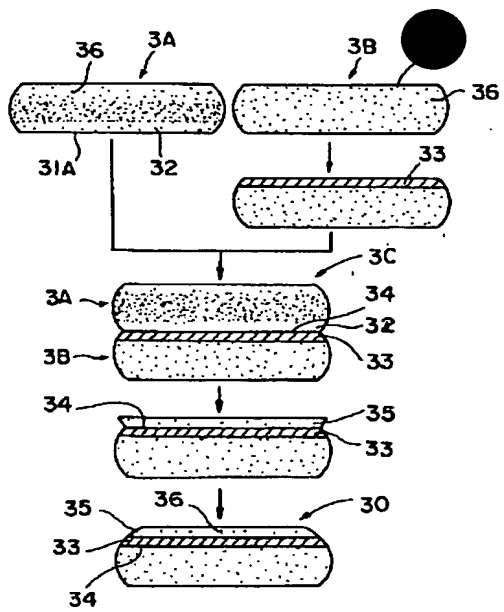
[Drawing 2]



[Drawing 1]



[Drawing 3]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-22993

(43) 公開日 平成9年(1997)1月21日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/12			H 0 1 L 27/12	B
21/02			21/02	B
21/304	3 2 1		21/304	3 2 1 S

審査請求 未請求 請求項の数 6 F D (全 9 頁)

(21) 出願番号 特願平7-195952

(22) 出願日 平成7年(1995)7月6日

(71) 出願人 000221122

東芝セラミックス株式会社

東京都新宿区西新宿1丁目26番2号

(72) 発明者 稲葉 英作

東京都新宿区西新宿1丁目26番2号 東芝セラミックス株式会社内

(72) 発明者 宮川 雅文

神奈川県秦野市曾屋30番地 東芝セラミックス株式会社開発研究所内

(72) 発明者 北條 顯道

神奈川県秦野市曾屋30番地 東芝セラミックス株式会社開発研究所内

(74) 代理人 弁理士 赤野 牧子 (外1名)

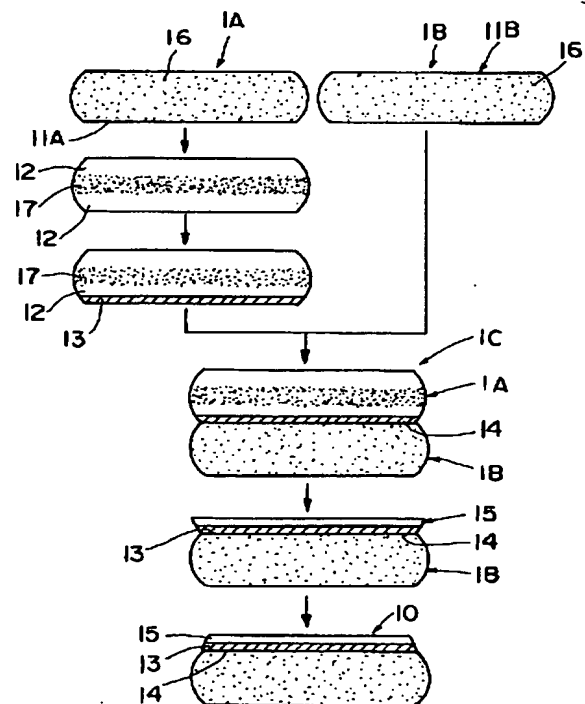
最終頁に続く

(54) 【発明の名称】 S O I ウエハ及びその製造方法

(57) 【要約】

【目的】 表面活性層が均一且つ平坦であり、微小欠陥(BMDという)も少ない優れた特性を有するS O I ウエハ及びその製造方法を提供し、その工業的実用化を図る。

【構成】 表面活性層、酸化膜層、接着面及び基板ウエハにより構成され酸化膜絶縁体層上に表面活性層を有するS O I ウエハにおいて、一のシリコンウエハ基板の少なくとも片面を鏡面状に研磨して鏡面表層部となして、水素及び／または不活性ガス雰囲気中で1100℃以上に加熱してガスアニール処理した後、酸化処理して形成された該鏡面表層部上の酸化膜に、他のシリコンウエハの鏡面研磨表層部とを重ね加熱して貼合わせ処理し、その後、該一のシリコンウエハ基板の非研磨表層部側を研削することを特徴とするS O I ウエハの製造方法。得られるS O I ウエハが、表面活性層と酸化膜絶縁体層との間に接着面を有することなく、且つ、表面活性層に微小欠陥が実質的に存在しないものである。



【特許請求の範囲】

【請求項1】 酸化膜絶縁体層上に表面活性層を有する貼合わせSOIウエハであって、該表面活性層と該酸化膜絶縁体層との間に接着面を有することなく、且つ、該表面活性層に微小欠陥が実質的に存在しないことを特徴とするSOIウエハ。

【請求項2】 前記表面活性層に微小欠陥が僅かに存在するが、該微小欠陥密度が該表面活性層の表面から内部に方向に増加しない請求項1記載のSOIウエハ。

【請求項3】 表面活性層、酸化膜層、接着面及び基板ウエハにより構成され酸化膜絶縁体層上に表面活性層を有するSOIウエハにおいて、一のシリコンウエハ基板の少なくとも片面を鏡面状に研磨して鏡面表層部となし、水素及び／または不活性ガス雰囲気中で1100℃以上に加熱してガスアニール処理した後、酸化処理して形成された該鏡面表層部上の酸化膜に、他のシリコンウエハの鏡面研磨表層部とを重ね加熱して貼合わせ処理し、その後、該一のシリコンウエハ基板の非研磨表層部側を研削することを特徴とするSOIウエハの製造方法。

【請求項4】 前記一のシリコンウエハ基板の両面を鏡面状に研磨して、前記ガスアニール処理及び酸化処理して、両鏡面表層部上に酸化膜を形成した後、該一のシリコンウエハ基板を各片面表層部上に酸化膜を有するように二分して用いる請求項3記載のSOIウエハの製造方法。

【請求項5】 前記酸化膜を形成した両面に、他のシリコンウエハの鏡面研磨表層部とを重ね加熱して貼合わせ処理した後二分する請求項4記載のSOIウエハの製造方法。

【請求項6】 前記ガスアニール処理の加熱温度に至る800℃から1000℃までを昇温速度5℃/分～30℃/分で昇温する請求項3または4記載のSOIウエハの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はSOIウエハ及びその製造方法に関し、詳しくは、貼合わせSOI法で製造する酸化膜絶縁体層上に表面活性層を有するSOIウエハにおいて、表面活性層と酸化膜とが接着面を有することなく、その表面活性層が均一且つ平坦であり、微小欠陥（BMDという）も少ない優れた特性を有するSOIウエハ及びその製造方法に関する。

【0002】

【従来の技術】 絶縁層や絶縁膜等の絶縁体上に薄膜シリコン単結晶を形成したシリコンウエハは、SOI（Silicon on Insulator）と称され、素子間の分離、寄生容量の低減等が容易であり、また、三次元構造のデバイス形成が達成でき得ることから、①高速性、②低電圧、低消費電力、③耐放射線性、④微細化能力、⑤工程簡略化等

の好ましい可能性を有しているため次世代半導体として注目され、絶縁体基板上に薄膜状シリコンの活性層を形成するSOI製造技術は、世界的に広く研究されている。SOIの性能を決定づけるものは、基板の酸化シリコン膜絶縁体とその上の薄膜シリコン単結晶の性状であり、単結晶の表層シリコン活性層は厚さ1～0.1μmの薄膜で且つ超平坦面とする必要があり、酸化シリコン膜絶縁体としては均質でピンホールが無く且つ均一で絶縁耐圧の高い薄膜が要求されている。このようにSOIの表層シリコン活性層と酸化シリコン膜薄層とは、双方共に合せても高々1μm程度の厚さが要求され、一般に0.2～0.3μmの超薄層状態が理想的であると考えられており、超LSI用としては更に薄いSOI層が要求される。

【0003】 上記したようにSOIウエハの表層シリコン活性層と酸化シリコン膜薄層とから構成される機能層は極めて薄層であり、通常、それら薄層を支持する基板として従来のシリコンウエハを用い、シリコン基板上に両層を形成させる構造が採用されている。例えば、図2はSOIウエハの基本的な構造を示した説明図である。図2において、SOIウエハ20は、高品質の酸化シリコン膜薄層23を表面シリコン活性層25とシリコン基板21により表裏から挟み込む構造となっており、SOIウエハの製造においては、表面シリコン活性層25とシリコン基板21との中間に酸化シリコン膜薄層23を形成させるための技術が多く研究され開発されている。現在試作されている多くのSOIウエハは、図中黒点として描いた微小欠陥26が活性層25内にも存在しているのが現状である。これらSOIウエハの製造は、現時点において実用的見地から（1）ウエハを貼合わせ接着する接着貼合わせ法と（2）注入法のSIMOX（Silicon Implanted Oxidation）技術の2方面から世界的に研究されている。接着貼合わせ技術は、高精度に鏡面状に研磨した2枚のウエハを貼合わせる方法で、一方の支持体となるウエハ（以下、支持体用ウエハと表す）の研磨面に所定の厚さに形成した酸化膜と、他方の表面活性層となる領域を含むウエハ（以下、活性層用ウエハと表す）の研磨面とを貼合わせ接着して一体化して、中間に酸化膜薄層を形成する方法である。この方法において、シリコン表面活性層を所定の厚みに加工するために、高精度の機械研磨法やプラズマエッチング法、またはそれらを組合せた方法が実用化されている。一方、SIMOX技術は、研磨されたウエハに酸素イオンを注入した後、熱処理して酸素イオン注入部分のシリコンを酸化することにより、研磨された表面活性層から所定の深さの中間に酸化膜薄層を形成させる方法である。

【0004】

【発明が解決しようとする課題】 SIMOX法は、酸化膜薄層厚みが均一となる点で優れるが、結晶欠陥が多く膜質の改良が必要である。これに対し、貼合わせ法は、

比較的簡便な操作で得ることができ、特性の優れたＳＯＩウエハが製造できれば、工業的には最も実用化の可能性が高いものである。発明者らは、上記接着貼合わせ法により得られるＳＯＩウエハについて、従来から提案され製造されるＳＯＩウエハは、上記したように活性層内に僅かとはいえＢＭＤが存在し、要求される性状を未だ十分に満足するものでないことから、均一な厚さでより薄くより平坦な表面シリコン活性層と欠陥が少なく均質で極薄の酸化膜層とを有し優れた特性のＳＯＩウエハを得ることを目的に研究を進めた。そのため従来の接着貼合わせ法プロセス及びその技術開発方向を詳細に再検討した。

【０００５】その結果、２枚のウエハに別々の表層部、即ち、活性層用ウエハのＤＺ層表層部と支持体用ウエハに形成された酸化薄膜表層部とを接着貼合わせすることを基本とする接着貼合わせＳＯＩウエハを製造する従来法に対し、従来の技術開発が専ら各ウエハに形成されるＤＺ層及び酸化薄膜の個々の性状の改良や、ＤＺ層及び酸化薄膜間で形成される接着面をどのように均一にするか等を目標として行われていることに鑑み、従来の発想を転換させ、異なる方向から開発することにした。即ち、本発明においては、従来の基本的形態を転換させ、一つのウエハ表層部にＤＺ層と酸化薄膜を形成させるという発想の転換を図り、その観点から鋭意検討した結果、活性層用ウエハをガスアニール処理して無欠陥層化し、更に酸化処理してシリコン活性層と絶縁体層を同一シリコンウエハ上に形成することにより、極めて優れた特性のＳＯＩウエハを得ることができることを見出し、本発明を完成した。本発明は、発明者らにより初めて提案された技術である。

【０００６】

【課題を解決するための手段】本発明によれば、酸化膜絶縁体層上に表面活性層を有する貼合わせＳＯＩウエハであって、該表面活性層と該酸化膜絶縁体層との間に接着面を有することなく、且つ、該表面活性層に微小欠陥が実質的に存在しないことを特徴とするＳＯＩウエハが提供される。本発明のＳＯＩウエハにおいては微小欠陥が実質的に存在しないが、表面活性層に微小欠陥が僅かに存在する場合でも、その微小欠陥密度が該表面活性層の表面から内部に方向に増加しないものである。本発明のＳＯＩウエハは上記のように構成され、酸化膜絶縁体層と表面活性層とが接着面を有することなく形成されていることから、活性層と酸化膜絶縁体層との界面に空隙等が生じることがなく、ばらつきのない均一な状態となるため、活性層の厚さが著しく均一化され、ＳＯＩウエハとして優れた特性を有することができる。

【０００７】また、本発明によれば、表面活性層、酸化膜層、接着面及び基板ウエハにより構成され酸化膜絶縁体層上に表面活性層を有するＳＯＩウエハにおいて、一のシリコンウエハ基板の少なくとも片面を鏡面状に研磨

して鏡面表層部となして、水素及び／または不活性ガス雰囲気中で１１００℃以上に加熱してガスアニール処理した後、酸化処理して形成された該鏡面表層部上の酸化膜に、他のシリコンウエハの鏡面研磨表層部とを重ね加熱して貼合わせ処理し、その後、該一のシリコンウエハ基板の非研磨表層部側を研削することを特徴とするＳＯＩウエハの製造方法が提供される。上記ガスアニール処理の加熱温度に至る間の８００℃から１０００℃までを昇温速度５℃／分～３０℃／分で昇温することが好ましい。

【０００８】上記本発明のＳＯＩウエハの製造方法においては、活性層用ウエハの鏡面状に研磨された表面が、水素ガス及び／または不活性ガスの存在下、１１００℃以上に加熱してガスアニール処理されるため、ウエハ表層部のシリコン単結晶が均質化されると共に、その表面は原子の平坦性を有することになることから、その後の酸化処理により、均一な深さで、均質な、更に高耐圧性の酸化膜を形成することができる。更に、前記ガスアニール処理によりＳＯＩウエハ用として十分な厚さの無欠陥層を形成することができることから、表面活性層をウエハ裏側から研削することにより表出させた場合でも、均一な厚さで、無欠陥の活性層を得ることができ、ＳＯＩ特性の向上が著しい。更にまた、本発明のＳＯＩウエハの製造方法は、比較的簡便な操作で上記優れた特性のＳＯＩウエハを製造することができ実用化の可能性が極めて高くなる。

【０００９】上記本発明のＳＯＩウエハの製造方法において、前記一のシリコンウエハ基板の両面を鏡面状に研磨して、前記ガスアニール処理及び酸化処理して、両鏡面表層部に酸化膜を形成した後、該一のシリコンウエハ基板を各片面表層部に酸化膜を有するように二分して用いることができる。また、前記酸化膜を形成した両面に、他のシリコンウエハの鏡面研磨表層部とを重ね加熱して貼合わせ処理した後二分することもできる。なお、本発明において、微小欠陥が実質的に存在しないとは、微小欠陥密度がほぼゼロであることを意味し、または、上記したように表面活性層に微小欠陥が僅かに存在する場合でも、その微小欠陥密度が表面活性層の表面から内部方向に増加しないことを意味するものである。

【００１０】

【発明の実施の形態】以下、本発明について詳細に説明する。先ず、従来の接着貼合わせ法によるＳＯＩウエハの製造について図面を参照して説明する。図３は、従来の接着貼合わせ法の一般的なＳＯＩウエハ製造プロセスを示すフロー説明図である。図３において、２枚のウエハ３Ａ及び３Ｂのうち、３Ａは最終的には１μｍ前後の厚みに加工されＳＯＩウエハの主要機能であるシリコン活性層となる活性層用ウエハであり、３Ｂはその１μｍのシリコン活性層を機械的に支える支持体となる支持用ウエハである。活性層用ウエハ３Ａ及び支持用ウエハ

3 Bは互いに貼合わせる側の表面3 1 A、3 1 Bを研磨して鏡面状にする。活性層用ウエハ3 Aの鏡面状とした表面3 1 Aは、通常、S O I ウエハの表面活性層の欠陥を減らすため、酸素または窒素雰囲気下での熱処理、即ち、いわゆるD Z層形成熱処理をすることにより、表層部に欠陥の無い無欠陥層のD Z層3 2を形成して使用することが多い。一方、支持体用ウエハ3 Bの鏡面状に研磨された表面3 1 Bには酸化膜層3 3が形成され、この酸化膜層はS O I ウエハの絶縁体領域を構成することになる。各ウエハ3 A及び3 Bの各表面3 1 A及び3 1 Bをそれぞれ上記のように処理した後、次の貼合わせ工程に移る。

【0011】貼合わせ工程では、活性層用ウエハのD Z層3 2が形成された表面3 1 Aと支持体用ウエハの酸化膜層3 3表面とが重ね合わせられた後、加熱処理されて接着面3 4で接着貼合わせられ一体化される。支持体用ウエハ3 Bと活性層用ウエハ3 Aとが接着され一体化ウエハ3 Cは、その表面である活性層用ウエハ3 Aの裏面3 2に相当する面をプラズマエッチング法等で、所定の厚さになるまで、平坦度及び平面度を維持しながら研削され、酸化膜層3 3上にシリコン活性層3 5が表出される。このシリコン活性層3 5を表出する研削加工は、高度の精度を要するが、現在は既にプラズマエッチング技術の進歩により実用化段階にある。次いで最後に、エッジ部の研削、研磨処理し、洗浄等の仕上げ加工してS O I ウエハ3 0とすることができる。なお、図3中の黒点3 6は微小欠陥(BMD)を表している。図2と同様に活性層3 5内にBMD3 6の存在が確認される。上記従来の貼合わせ法において、S O I ウエハの表面活性層領域にD Z層を形成する方法として、上記のようなD Z熱処理したD Z層形成ウエハを用いる方法の他に、先ず活性層用ウエハと酸化膜層形成の支持体用ウエハとを接着貼合わせて一体化し、研削等処理して製造したS O I ウエハをD Z熱処理する方法も提案されている。しかし、S O I ウエハをD Z熱処理する場合は、活性層のシリコンが無定形化したり、スリップが生じるため好ましくない。

【0012】次に、本発明のS O I ウエハの製造工程を説明する。図1は本発明のS O I ウエハの製造フロー説明図である。前記の図3に示した従来法と比較しながら本発明を説明する。図1において、活性層用ウエハ1 A及び支持用ウエハ1 Bの2枚のシリコンウエハを用い、それぞれ、少なくとも片面、貼合わせる側の表面1 1 A及び1 1 Bを鏡面状に研磨することは、図3の従来法と同様である。しかし、従来法ではD Z熱処理して活性層用ウエハ3 A表層部を無欠陥領域D Z層3 2としていたのに対し、本発明のS O I ウエハ製造法では、活性層用ウエハ1 Aをガスアニール処理してD Z層1 2を形成する。本発明のガスアニール処理は、通常、水素ガス及び/またはアルゴン(Ar)ガス等の不活性ガス雰囲気

下、1100℃以上で、30分以上加熱して行うことができる。ガスアニール処理された活性層用ウエハ1 Aの表層部1 2は、出発材料のウエハ1 A及び1 B内に存在していた図中黒点で示したBMD1 6が無くなる。ウエハ1 Aの両方の表層部には無欠陥領域であるD Z層1 2、1 2が形成される。一方、ウエハ内部には、酸素濃度が維持され金属等不純物が酸素析出物として析出されてBMD析出層1 7が形成される。ガスアニール処理における加熱温度が1100℃未満であるとD Z層1 2の形成が不十分となり好ましくない。本発明の上記ガスアニールにより形成されるD Z層1 2は、均質であり、ウエハ全域に渡り表面からの深さが均一であり、且つ、従来のD Z層熱処理によるD Z層に比して十分に厚く約1~30µmの厚さで形成される。このため、下記するようにガスアニール処理表面に酸化膜を形成し、最終的にS O I ウエハとしてD Z層と反対側から研削においても、高精度に均一な厚さを保持する均質な無欠陥層の活性層を表出させることができ、前記したS O I ウエハとして要求される優れた特性を有する活性層を得ることができる。また、このD Z層の表面は原子的レベルで平坦化され、その表面に形成される酸化膜の性状も優れたものとすることができる。

【0013】本発明において、上記ガスアニール処理され、表層部に無欠陥領域のD Z層1 2が形成された活性層用ウエハ1 Aの表面に、更に、酸化膜1 3を形成する。酸化膜は、従来公知の方法と同様でよく酸素雰囲気中に、温度約800~1100℃で約0.1~3.0時間保持して熱処理することにより形成することができる。上記の通り、ガスアニール処理されたウエハ表層部は、欠陥がなく均質であり原子的平坦面を有する均一な表面となっているため、その表層部に形成される酸化膜も極めて均質であり、且つ、全体的に均一な厚さで形成され、例えばピンホールなど、従来のS O I ウエハに用いられた酸化膜層に存在した不均一性が無く、電気絶縁耐圧が10MV/cm以上となる。酸化膜の厚さは、保持時間に応じて変化し、通常0.05~1.0µmである。上記のように酸化膜1 3が形成された活性層用ウエハ1 Aは、次いで、その酸化膜1 3形成側と支持体用ウエハ1 Bの研磨鏡面1 1 Bとを重ね合わせ加熱処理して接着貼合わせ一体化される。それにより活性層用ウエハ1 Aに形成された酸化膜面1 3と、支持体用ウエハ1 Bの鏡面1 1 Bとの間に接着面1 4を有し、支持体用ウエハ1 Bに支持されたS O I ウエハの基本構造の一体化ウエハ1 Cが得られる。S O I ウエハにおいて要求されるシリコン活性層の厚みは1µm前後であり、所定の活性層とするため、形成された一体化ウエハ1 Cは、更に研削加工される。これら接着貼合わせ処理、及び、それ以降の処理活性層1 5を表出させS O I ウエハ1 0を構成させるための研削加工、並びに、最終工程のエッジ部の研削、研磨処理、洗浄等の仕上げ加工等は、従来のもの

と同様にして行うことができる。

【0014】上記のように、本発明のSOIウエハは、接着貼合わせ方式により製造され、活性層用ウエハにガスアニール処理により無欠陥領域のDZ層を形成し、更に、そのガスアニール処理した活性層用ウエハの無欠陥DZ層が形成された表層部を酸化して酸化膜を形成する。このため、SOIウエハの活性層と絶縁体層の酸化膜との間には接着面が存在することなく、接着により発生し易い空洞、積層欠陥、ミスフィット転位等の欠陥が皆無となり、SOIウエハ特性が著しく向上する。また、酸化膜と支持体用ウエハとの接着面においても、酸化膜が均質で均一な厚さで形成されるため、接着による欠陥は生じることがないが、生じたとしてもSOIウエハにおける酸化膜絶縁体層と活性層とを支持するものであり、ウエハ特性に与える影響は少ない。従来の接着貼合わせ法においては、活性層用ウエハにDZ層熱処理による無欠陥領域DZ層を形成し、一方、支持用ウエハ鏡面表層部に酸化膜を形成し、両ウエハを接着貼合わせた場合には、活性層と酸化膜絶縁体層との間の接着面での欠陥が避けられないのに対し、上記のように本発明においてはそのような接着面での欠陥も発生しない。また、従来のDZ層熱処理による無欠陥化は、本発明のガスアニールに比して度合いが低く、得られる活性層特性も本発明のものに比して数段劣っているものであることは、後記する実施例及び比較例において明らかである。更に、従来のDZ層形成の表層部に酸化膜を形成した場合は、形成されるDZ層の性状が良好でないため、そこに形成される酸化膜の品質も本発明のガスアニール処理による無欠陥領域層に形成されるものよりは劣り、その厚さも均一なものとならないことも確認されている。

【0015】本発明において鏡面状活性層用ウエハにDZ層を形成させるために採用した上記ガスアニール処理は、一般に、シリコンウエハ自体の欠陥部を吸収除去するためのゲッタリング作用を持たせるために行われている処理であり、水素ガスまたはアルゴンガス雰囲気中で、1100℃以上の高温でシリコンウエハを所定の時間処理すると、ウエハ表層の酸素濃度が下がり、かつ、ウエハ内部にはゲッタリング作用に欠かせない酸素析出物を形成するのに必要な酸素濃度が維持されたウエハが得られ、デバイスプロセスで混入する金属等の不純物を捕獲、固定するために、ウエハのデバイス特性が著しく向上することがよく知られており、特に、水素アニールウエハは、最先端半導体デバイスの製造に最適なウエハとして既に大量に使用されている。また、水素アニール処理を施されたウエハの表面に形成された酸化シリコン薄膜層は、母体のウエハの表層部の欠陥が除去されているために、ピンホールのような局部欠陥を含まず、表面形状的、内部構造的に極めて均一性に優れたものであることも、それら酸化薄膜の電気絶縁性の耐電圧特性により既に確認されているものである。しかしながら、SO

Iウエハを接着貼合わせ法で製造する場合、活性層用ウエハの表層部にDZ層を形成すること、そのDZ層をDZ層熱処理でなくガスアニール処理により形成することは、現在まで試みられたこともなく、本発明において初めて適用されたものである。

【0016】本発明による基本的製造工程は上記の通りであるが、次のような方法を適用することができる。即ち、上記図1の製造工程に示した活性層用ウエハの表裏両面を研磨した、いわゆる、両鏡面研磨ウエハを用いて、ガスアニール処理、その次の酸化膜形成処理は、元来、表裏同時に進行させ得る処理工程である。従って、得られた両鏡面研磨ウエハ各面に無欠陥層及び酸化膜層を形成した活性層用ウエハを、その厚みの中央部で平面方向に沿って、高精度内周刃切断機等の切断機を用い2分割することによりそれぞれ片面に無欠陥層及び酸化膜層を有する2枚のウエハとすることができる。ウエハを2分割する技術は、既に半導体用シリコンウエハの加工分野で実用化され確立された技術であり、それらを適用することができる。また、無欠陥層及び酸化膜層を有する両面に、それぞれ別の2枚の支持体用ウエハに接着した後に、2分割することもできる。本発明のSOIウエハは、上記のようにデバイスが形成される表層活性層にBMDその他の欠陥が無く、かつ、絶縁体である酸化膜が、電氣的にも、化学的にも、機械的にも極めて耐性が高く、極めて優れた性質を有するものである。また、本発明によるSOIウエハの活性層中のBMDは、大きいものは全く存在しない。粒径の小さいBMDの存在は認められるが、これはガスアニール処理したウエハに存在するもので、ウエハ表面から内部に向かってその密度が高くなっていくことが、実験的にも理論的にも確認されている。従って、本発明のSOIウエハの活性層は、ガスアニール処理したウエハを内部から表面方向に研削して活性層を表出するため粒径の小さいBMDが存在しても、その密度は表面から内部に向かって次第に低下していくことになる。

【0017】

【実施例】以下、本発明を実施例に基づき詳細に説明する。但し、本発明は下記実施例により制限されるものではない。

実施例1

方位(100)、抵抗率20Ωcm、p型の直径8"φのウエハ3枚を活性層用ウエハとして用い、また、方位(100)、抵抗率20Ωcm以上、p型の直径8"φのウエハ3枚を支持体用ウエハとして用い、図1に示した本発明のフローに従ってSOIウエハを3枚制作した。3枚の活性層用ウエハを水素アニール炉に入れ、1150℃、1時間、水素ガス雰囲気中で熱処理をした。炉出しした3枚のウエハを、次いで酸化炉に入れウエハの表面に200nmの酸化膜を形成した。次に上記により活性層用ウエハの鏡面研磨面側に形成した酸化膜表面

と、用意した支持体用ウエハの鏡面研磨面とを、結晶方位を揃えて重ね合わせ、1100℃に加熱処理して3組の接着貼合わせウエハを製作した。それぞれの接着貼合わせウエハの活性層用ウエハ側をプラズマイオンエッチング法によって削り取り、酸化膜上に1μmのシリコン層が残るように加工しSOIウエハ構造体を3枚得た。得られた各SOIウエハ構造体の周辺エッジ部をエッジグラインダで研削して平滑性を整えた。最後に、通常の最終洗浄機を通して洗浄しSOIウエハを3枚製作した。得られた3枚の各SOIウエハの平坦度LTV (2

0mm角内の偏位)、TTV (ウエハの仮想平面に対する最大偏位)、活性層厚み分布、活性層BMD密度、酸化膜厚み分布を、それぞれウエハ平面度測定装置、FT-IR (フーリエ変換赤外分光法)、BMDアナライザー、ナノスペック等を用いて測定した。その結果を、各SOIウエハを1、2及び3と番号を付し表1に示した。

【0018】

【表1】

		実施例1		
SOIウエハ番号		1	2	3
評価項目	平坦度 (LTV (20mm ²) μm)	0.2	0.2	0.3
	TTV (μm)	3	3	5
	活性層厚み分布 (μm)	1.3 ± 0.3	1.3 ± 0.3	1.2 ± 0.5
	酸化膜厚み分布 (nm)	200 ± 5%	200 ± 5%	200 ± 5%
	活性層BMD 密度 (×E3)	0	0	0

【0019】比較例1

実施例1と同様の活性層用ウエハ及び支持体用ウエハを同様に3枚ずつ用いた。図3に示した従来法のフローに従い、3枚の活性層用ウエハを水素アニール炉で処理することなく酸化炉に入れ、その表面に200nmの酸化膜を形成した以外は実施例1と同様にして、SOIウエハを制作した。得られた3枚の各SOIウエハの平坦

度、TTV、活性層厚み分布、活性層BMD密度、酸化膜厚み分布を、実施例1と同様に測定した。その結果を、各SOIウエハを11、12及び13と番号を付し表2に示した。

【0020】

【表2】

		比較例 1		
SOI ウェハ番号		11	12	13
評価項目	平坦度 (LTV (20mm ²) μ m)	0.7	0.5	0.7
	TTV (μ m)	8	7	9
	活性層厚み分布 (μ m)	1.3 \pm 0.5	1.3 \pm 0.6	1.4 \pm 0.7
	酸化膜厚み分布 (nm)	210 \pm 5 %	210 \pm 8 %	210 \pm 8 %
	活性層 BMD 密度 (\times E3)	300	500	600

【0021】実施例 2

方位 (100)、抵抗率 15 Ω cm、n 型の直径 8" ϕ のウェハ 3 枚を活性層用ウェハに用い、方位 (100)、抵抗率 20 Ω cm 以上、n 型の直径 8" ϕ のウェハを支持体用ウェハに用いて、実施例 1 と同様に図 1 の本発明のフローに従い、水素アニール処理において 800℃から 1000℃までの昇温を 20~15℃/分で行い、300nm の酸化膜を形成し、また、酸化膜上に 10 μ m のシリコン層が残るようにプラズマイオンエッチ

ング加工した以外は、実施例 1 と全く同様にして SOI ウェハを 3 枚製作した。得られた 3 枚の各 SOI ウェハの平坦度、TTV、活性層厚み分布、活性層 BMD 密度、酸化膜厚み分布を、実施例 1 と同様に測定した。その結果を、各 SOI ウェハを 4、5 及び 6 と番号を付し表 3 に示した。

【0022】

【表 3】

		実施例 2		
SOI ウェハ番号		4	5	6
評価項目	平坦度 (LTV (20mm ²) μ m)	0.2	0.2	0.2
	TTV (μ m)	3	4	3
	活性層厚み分布 (μ m)	10.4 \pm 0.5	10.4 \pm 0.5	10.4 \pm 0.6
	酸化膜厚み分布 (nm)	300 \pm 5 %	300 \pm 5 %	300 \pm 5 %
	活性層 BMD 密度 (\times E3)	0	0	0

【0023】比較例 2

実施例 2 と同様の活性層用ウェハ及び支持体用ウェハを同様に 3 枚ずつ用いた。図 3 に示した従来法のフローに従い、3 枚の活性層用ウェハを水素アニール炉で処理することなく酸化炉に入れ、その表面に 300nm の酸化

膜を形成した以外は実施例 2 と同様にして、SOI ウェハを制作した。得られた 3 枚の各 SOI ウェハの平坦度、TTV、活性層厚み分布、活性層 BMD 密度、酸化膜厚み分布を、実施例 2 と同様に測定した。その結果を、各 SOI ウェハを 14、15 及び 16 と番号を付し

表 4 に示した。

【0024】

【表 4】

		比 較 例 2		
SOI ウエハ番号		14	15	16
評 価 項 目	平坦度 (LTV (20mm ²) μ m)	0.8	0.7	0.7
	TTV (μ m)	7	9	9
	活性層厚み分布 (μ m)	10.2 \pm 0.9	10.2 \pm 0.8	10.3 \pm 0.8
	酸化膜厚み分布 (nm)	320 \pm 8 %	320 \pm 8 %	320 \pm 8 %
	活性層 BMD 密度 (\times E3)	500	300	900

20

【0025】上記実施例及び比較例より、本発明の SOI ウエハが、従来法で得た SOI ウエハに比し平坦度、TTV、活性層厚み分布、活性層 BMD 密度及び酸化膜厚み分布において、優れた特性を有することが分かる。特に、平坦度及び活性層 BMD 密度において本発明の SOI ウエハが著しい特性を有することが明らかである。

【0026】

【発明の効果】本発明の SOI ウエハは、シリコン活性層と酸化シリコン薄膜絶縁体層との間に接着面が存在することなく接着面での欠陥が無く、その上、超平坦面の均一な薄膜酸化層と微小欠陥がほぼゼロであり均質で均一な超薄層の活性層とから構成され、極めて優れた性状を有し、実用化の可能性を高くするものである。また、上記優れた SOI ウエハの製造方法は、発想の転換を図ることにより、接着貼合わせ法の基本的態様を変換できたものであり、しかも既存の技術を応用することにより容易且つ簡便に実施することができることから工業的に有用である。

【図面の簡単な説明】

【図 1】本発明の SOI ウエハの製造フロー説明図である。

【図 2】SOI ウエハの基本的な構造を示した説明図である。

【図 3】従来法の接着貼合わせ SOI ウエハの製造フロー説明図である。

【符号の説明】

10、20、30 SOI ウエハ

21 シリコン基板

1A、3A 活性層用ウエハ

1B、3B 支持体用ウエハ

11A、31A 活性層用ウエハ研磨鏡面

11B、31B 支持体用ウエハ研磨鏡面

1C、3C 一体化ウエハ

12、32 DZ 層

13、23、33 酸化シリコン絶縁体薄膜層

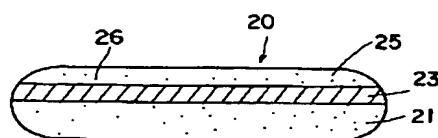
14、34 接着面

15、25、35 表面シリコン活性層

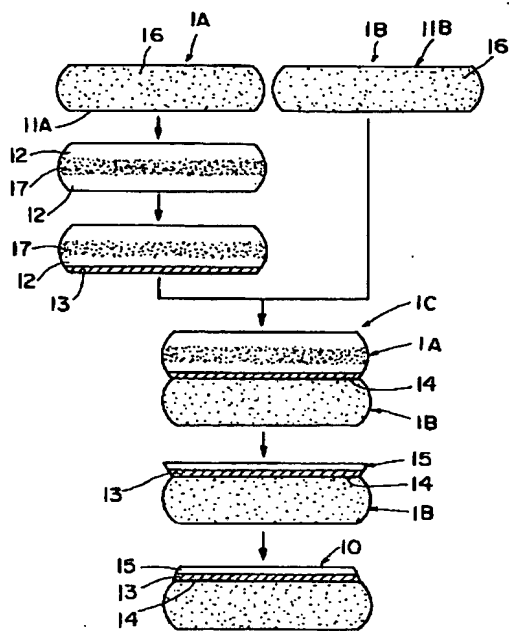
16、26、36 BMD

40 17 BMD 析出層

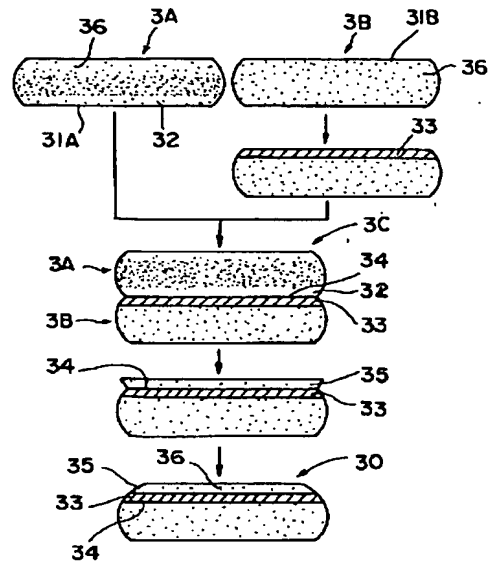
【図 2】



【図 1】



【図 3】



フロントページの続き

(72)発明者 高橋 捷一
 神奈川県秦野市曾屋30番地 東芝セラミッ
 クス株式会社開発研究所内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.